

MRAMの現状と将来展望

齊藤好昭 (株) 東芝・研究開発センター

Current status and advanced future technology in order to realize high-density MRAM

Y. Saito Toshiba Corporation, Corporate R & D center

In this article, current status of magnetic random access memory (MRAM) technology using magnetic tunnel junctions (MTJs) are reviewed, involving materials, devices, and architectures and challenges in order to realize high-density MRAM based on the results of calculation and simulation. Recent development of the materials and devices for MRAM are also described. MRAM using MTJ cells has a potential for high-density and high-speed nonvolatile memories. One transistor per one MTJ, a diode per MTJ cell and simple cross-point architecture would be feasible. The large bias dependence of MTJs and reductions of switching current and a switching field distribution are major technical challenges for MTJs. The former would be overcome by double tunnel junctions, and latter may be overcome by an asymmetrical shape for the MTJ cell, antiferromagnetically exchange coupled multilayers as a free layer for memory storage and bit- and word-line structure with magnetic yoke.

1. はじめに

最近、スピントロニクスという言葉が頻りに耳にするようになってきた。このスピントロニクスという研究領域は、今まで半導体デバイスで利用してきた電子の電荷に加え、電子の自由度の一つであるスピンを制御し、新しい機能デバイスを創造しようとする研究領域である。巨大磁気抵抗効果 (GMR; Giant Magnetoresistance) が発見されたのを契機に、強磁性体を用いたスピン依存伝導に関する研究の重要性が認識され、その後の強磁性トンネル接合における大きな強磁性トンネル磁気抵抗効果 (TMR; Tunnel Magnetoresistance)^{1, 2)} の発見を促し、スピントロニクスという新しい研究領域が拓かれた。中でも、TMR効果を基盤とする不揮発性固体磁気メモリ; MRAM (Magnetic Random Access Memory) は、

金鉱石と言える。

表1にMRAMと競合メモリとの比較を示す。現在、ユビキタス・ネット時代の到来に伴い、高速・低消費電力・不揮発メモリの必要に迫られ、従来のSRAM、DRAM、FLASHという固体メモリのピラミッドが崩壊されようとしている。SRAM、DRAMは揮発性メモリである。FLASHは不揮発であるが書き込み時の高速性に問題がある他、書き換え回数にも制限がある。FeRAMは10年以上前から研究開発が進められており、低消費電力の点では現在最も優れているが、素子ばらつき等の信頼性の問題により容量の限界がささやかれるようになって来た。また、現状のFeRAMは、MRAM、OUM (相変化メモリ) に比べ読み出し時にデータを破壊してしまうため読み出しのたびにデータの再書き込みが必要となり、読み出しにある程度の時間を要する。

	MRAM	積層型MRAM	OUM	FeRAM	SRAM	NAND-Flash	DRAM
不揮発	○	○	○	○	x	○	x
セルサイズ	$6F^2-8F^2$	$1F^2$ *1	$6F^2-12F^2$	$10F^2-20F^2$	$100F^2-150F^2$	$2F^2$ *2	$6F^2-8F^2$
容量	○	◎	○	△	x	◎	○
書き込み時間	10~50ns	10~50ns	>100ns	30~100ns	70ns	10000ns	50ns
読み出し時間	10~50ns	>200ns	20~80ns	30~100ns	70ns	50ns	50ns
書き換え回数	10^{16}	10^{16}	10^{12}	10^{12-16}	10^{15}	10^6	10^{15}
データ保持時間	10年	10年	10年	10年	0.1Sec	10年	0.1Sec
読み出し形式	非破壊	非破壊	非破壊	破壊	非破壊	非破壊	破壊
消費電力	○	○	○	◎	○	○	○
待機電流値	<1μA	<1μA	<1μA	<1μA	100μA~1mA	<1μA	100μA~1mA
電流値(アクティブ)	△	△	△	◎	◎	○	◎

*1 4層のメモリセル積層を仮定した場合 *2多値型の場合

表1 MRAMと競合メモリの比較

Table 1 Comparison of MRAM characteristics with competitive memories.

MRAM、OUMは近年、各社が精力的に研究開発を取り組み始めたメモリである。(TMRを用いたMRAMは、米 IBM Corp. 独 Infineon Tech. AG, 米 Motorola Inc., 米 Hewlett-Packard Co., 日 Toshiba Corp., 日 NEC Corp., 日 Mitsubishi Corp., 韓 Samsung Elec. Co., Ltd. で、OUMは、米 Intel Corp., 伊 STMicroelectronics Corp. で研究開発が進められている。) 両者とも大容量化のポテンシャルを有しているが、OUMは電流による相変化膜の加熱により“1”“0”の書き込みを行うため熱サイクルにともなうデータ消去、信頼性、書き込み回数などが懸念されている。一方、MRAMは、大容量・高速・低消費電力・不揮発・非破壊読み出し・低電圧駆動・無限回書き換え可能という高いポテンシャルを有している。しかし、大容量化のためには、後に述べるように、TMR素子の信号出力増大、書き込み時の電流値低減という二大課題を解決する必要がある。

不揮発メモリ、特にMRAMが注目されている理由は、主に二つある。一つは、MRAMは、不揮発、高密度、高速読出し/書き込み、無限回書き換え可能などの高い潜在ポテンシャルを有し、現状商品化されているDRAM並み(256Mbit)の高密度性とROMの不揮発性、SRAMの高速性をあわせ持つUniversal Memoryの実現可能性があるからである。携帯情報機器などは、今後ますます小型で高性能の計算処理能力が求められるため、CPUとメモリを一つのチップ上に集積化したシステムオンチップが必須となる。MRAMはこれらメモリを一つに置き換えられる可能性を持つのである。二つめはDRAMの集積限界を超える可能性があるからである。HDD(ハードディスクドライブ)では現在、 $>50\text{Gbit}/\text{in}^2$ 実用化間近である。 $63\text{Gbit}/\text{in}^2$ の1bit当たりの面積は $0.01\mu\text{m}^2/\text{bit}$ であり、現状のDRAMの面積 $0.2\mu\text{m}^2/\text{bit}$ に比べて非常に小さく、磁性体を用いたMRAM大容量化の可能性を示している。また、DRAMは、セルを微細化すればするほどキャパシタからのトンネル電流が生じる確率が増大しリーク電流が増加し

てしまう。現在でも、このリークの問題は存在し、DRAMでは各メモリセルに周期的に再書き込み(リフレッシュ動作)を行っている。この問題も、不揮発性メモリを用いれば本質的に解決できるのである。

ここでは、このように多くの利点を有するMRAMの現状と課題および、課題を解決するために考案されている将来技術について我々の研究結果をベースにして概説する。

2. MRAMの動作原理と現状

MRAMは、マトリックス状に配線されたビット線(BL)とワード線(WL)の交点にTMR素子を配置した構造^{4,5)}をもつ(図1)。TMR素子の基本構造⁶⁾は、2つの強磁性層が非磁性層で分断された強磁性層/非磁性層/強磁性層の三層構造からなる。強磁性層は、遷移金属磁性元素(Fe, Co, Ni)またはそれら合金(CoFe, CoFeNiまたはNiFeなど)が用いられ、通常10nm以下の厚さからなる。メモリ情報は強磁性体のスピンの向きにより保存され、2つの強磁性体の向きが相対的に平行か反平行かで、メモリ情報の“1”“0”を規定することができる。通常、2つの強磁性体の相対的なスピンの向きが反平行の時、スピンの向きが平行の時に比べて、電気抵抗の値が大きい。この磁気抵抗効果を利用して、“1”“0”違いを読み出すことができる。したがって、強磁性層の1層はスピンの方向を固着し反転しにくいように設計される。その方法としては、反強磁性層(FeMn, IrMn, PtMn, NiMnなど)を一方の強磁性層に付与した交換結合型(spine-valve type)^{3,7-9)}が用いられる。spine-valve typeのセル構造において、反強磁性層で固着された強磁性層は通常、固着層(Pinned layer)と呼ばれ、もう一方の強磁性層は自由層(free layer)と呼ばれている。情報は自由層に記録され、自由層が固着層に対して平行か反平行かで“1”“0”が規定される。したがって、読出しは、

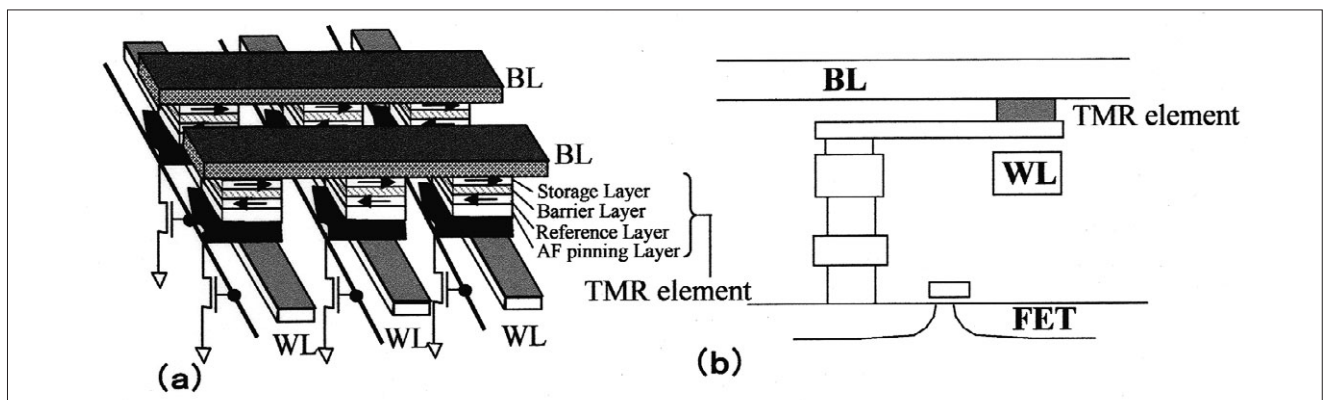


図1 MOSを用いたMRAMのアーキテクチャ

Fig. 1 MRAM architecture using MOS transistor.

TMR素子に電流を流し、MR効果を利用し、TMR素子の抵抗が大きいか小さいかを判定して行う。書き込みは、各配線に流したパルス電流が作る合成磁場によって、交点のTMR素子のスピンを反転させ、そのスピンの向きにより“1”“0”を規定し行う。

TMR素子を用いたMRAMの典型的なアーキテクチャは、上記原理から分かるように、読み出し時にTMR素子を選択するスイッチ（通常MOS FET（トランジスタ）が用いられる）、読み出しと書き込み時に使用するBL、書き込み用WL、その交点に配置されたTMR素子からなる（図1（b））。米 IBM Corp. は、 $0.25\mu\text{m}$ ルールを用い2CMOS+2TMRを1メモリセルとした1~4KbitのMRAM⁴⁾を、米 Motorola Inc. は $0.6\mu\text{m}$ ルールを用いて1CMOS+1TMRを1メモリセルとした256Kbit⁵⁾の

MRAMを試作している。このメモリで、米 IBM Corp. は10nsec以下、米 Motorola Inc. は35nsecの高速読み出しおよび書き込みを実現している。また、図2、図3に示したように、単純マトリクス型のアーキテクチャ¹⁰⁾、薄膜ダイオード上にTMR素子を積層したdiode+TMRアーキテクチャ³⁾が提案されている。これらのアーキテクチャを用いると、読み出し時の選択用のMOSトランジスタはメモリアレーの外側に配置でき、TMR素子自体の大きさがメモリ容量を規定するため理想的なクロスポイントメモリが実現できる他、メモリアレーを多層化できるため超大容量化が可能となる。しかし、単純マトリクス型アーキテクチャは周りのTMRセルからのリークが存在するため、S/Nが悪化し、GMRを用いたMRAM同様自己レファレンスの方法¹¹⁾をとっ

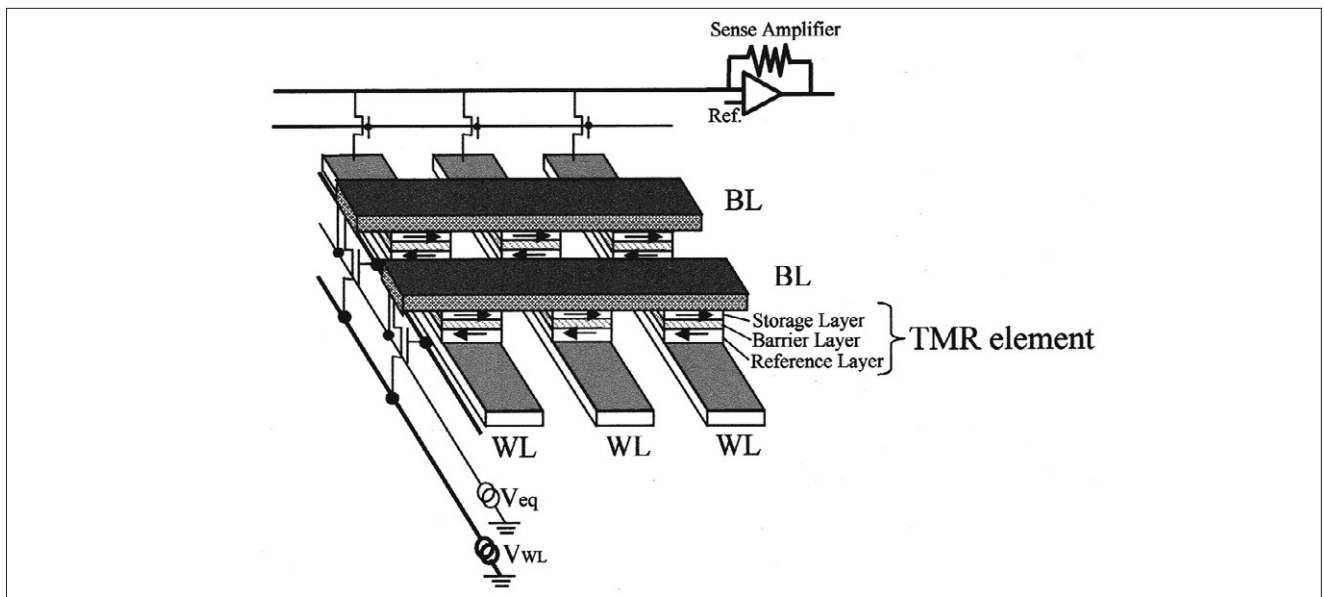


図2 単純マトリクス型MRAMのアーキテクチャ
Fig. 2 simple cross-point architecture.

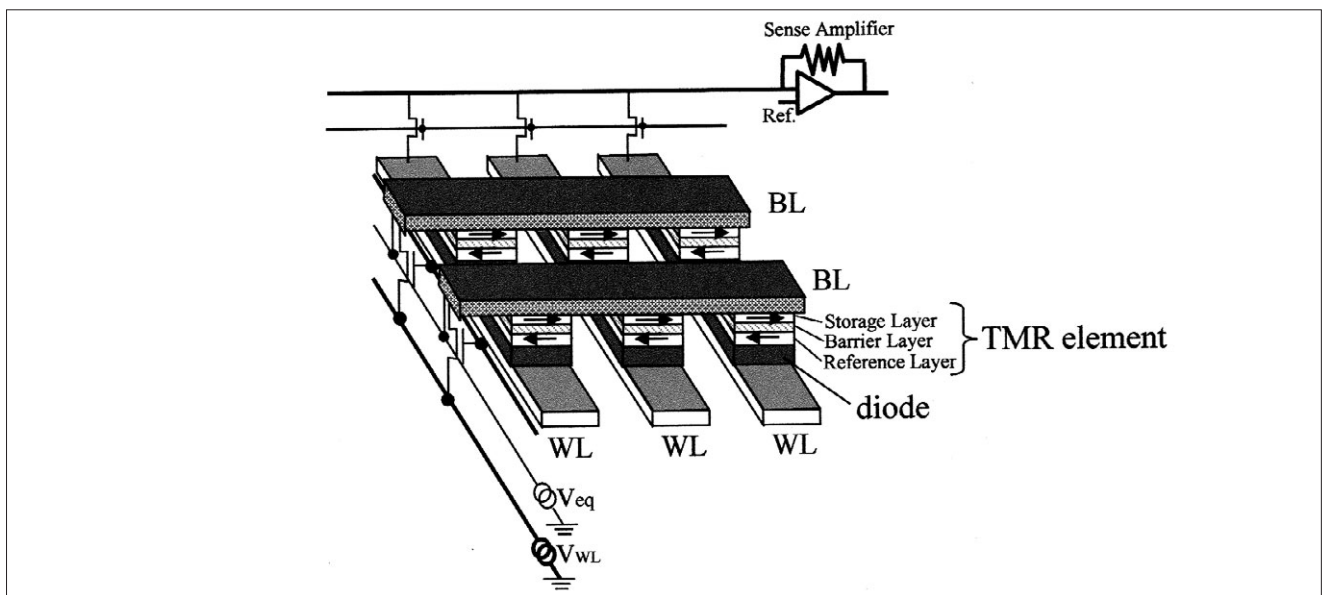


図3 ダイオードを用いたMRAMのアーキテクチャ
Fig. 3 MRAM architecture using a diode per MTJ cell.

ているため読み出しスピードが200nsec程度に低下してしまう。アモルファスdiodeを用いたdiode+TMRアーキテクチャを用いればこのリーク電流の問題を解決でき高速化が可能だが、アモルファスdiode自体の抵抗のばらつきを抑えなければいけないという更なる開発項目が存在するのが現状である。

MRAMの開発は、ここ数年急速に進展し、米 Motorola Inc. が1CMOS+1TMR アーキテクチャを用い2004年に4Mbit、<10nsecの高速MRAMの市場投入を、米 IBM Corp. -独 Infinion Tech. AG. が単純マトリックス型のアーキテクチャを用い、2004年に256Mbit大容量、中～低速MRAMの市場投入計画を発表するまでになっている。しかし、その実現のためには、技術的な課題がまだ山積している。¹²⁾ 特に、Gbitの超大容量で、かつ、高速動作可能を併せ持つ理想的な不揮発メモリ実現には、少なくとも以下の章に示すTMR薄膜の課題を解決する必要がある。

3. MRAM用TMR薄膜の課題と動向

この章では、MRAM実現のための2大重要技術課題¹²⁾について述べる。特に、Gbitの超大容量で、かつ、高速動作可能を併せ持つ理想的な不揮発メモリ実現には、少なくとも以下に示すTMR薄膜の課題を解決する必要がある。¹³⁾

- ・使用バイアス電圧における大きなMR比の確保および信号電圧 (MR比)、接合抵抗など特性バラツキの低減

- ・スイッチング磁界低減およびスイッチング磁界ばらつきの低減

以下に、これら課題を解決するために考案されている将来技術について我々の研究結果をベースにして概説する。

3.1 使用バイアス電圧における大きなMR比の確保および信号電圧 (MR比)、接合抵抗など特性バラツキの低減^{12, 13)}

MRAMのように多数のTMR素子の集合体で一つの機能を果たすデバイスの場合、MR比、接合抵抗、スイッチング磁界など特性バラツキは、素子スペックにかかわる重要な課題である。図4にTMRの接合抵抗のばらつき ($\Delta R_{TMR}/R_{TMR}$) が5%の場合と10%の場合の、～1Gbit程度のMRAM記録容量を想定した時のTMR素子に課される信号電圧、抵抗率のスペックを示した。¹³⁾ 計算では、1CMOS+1TMRを1メモリセルとしたアーキテクチャを仮定し、プリアンプ増幅前の出力電圧 ($V_S=MR \times V_B/2$)

は50mV、標準的なCMOSの抵抗値 (r_{CMOS}) 10k Ω 、トランジスタの抵抗のバラツキ ($\Delta r_{CMOS}/r_{CMOS}$) 10%、およびBLの容量 (C_B) 400fF、素子に印加されるバイアス電圧の値800mV、アクセス時間 (T_S) 40nsecを仮定している。図4を見れば明らかであるが、～1Gbit程度のMRAMを実現するためには、少なくとも>190mVの信号出力が必要なことが分かる。

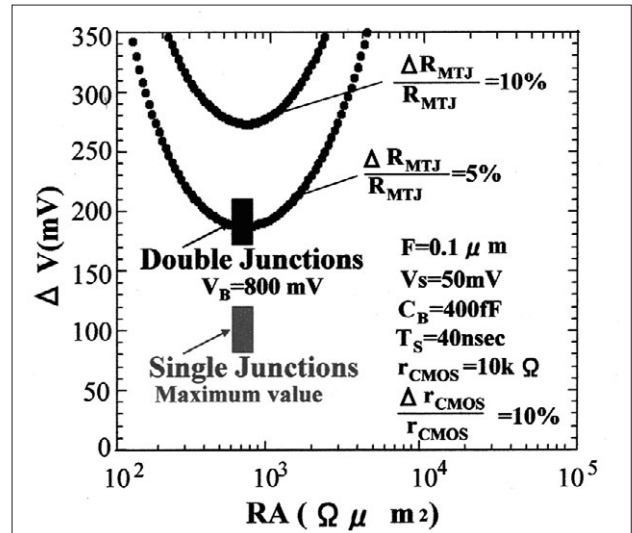


図4 1Gbit MRAMのTMR出力と接合抵抗最適スペック、および、強磁性一重、二重トンネル接合の特性

Fig. 4 Optimum junction resistance and output voltage of MTJs for 1Gbit MRAM, and the characteristics of the double tunnel junctions and single tunnel junctions.

実際のMRAM等のデバイスに用いる場合、数100mV程度のバイアス電圧がTMR素子に印加されることになる。バイアス電圧が大きくなると、フェルミ準位より大きなエネルギーを有する電子もトンネルに寄与することになる。この場合、TMR素子のMR比はバイアス電圧とともに減少する。²⁾ MR比の減少は、信号出力の低下をまねき、読み出し時のS/N比が悪くなるばかりか、読み出し時のアクセス時間を遅くする。このバイアス電圧増大に伴うMR比の減少を抑えるため、同じ障壁を二つ備えた強磁性二重トンネル接合が提案されている。¹⁴⁻¹⁶⁾ 強磁性二重トンネル接合の場合、トンネル障壁で挟まれた強磁性層が自由層であり、ここにスピンのメモリ情報が保存される。トンネル障壁の上下の強磁性層は固着層である。図5に強磁性一重トンネル接合と二重トンネル接合のMR比のバイアス電圧依存性^{14, 15)}を示す。同じ障壁を二つ備えた強磁性二重トンネル接合では、トンネル過程が逐次的な場合、MR比は強磁性一重トンネル接合の場合と変わらない。しかし、一つの障壁当たりのバイアス電圧は印加電圧の1/2になるので、MR比のバイアス電圧に伴う減少が大きく改善される。そのため、動作バイアス電圧で大

きなMR比が得られるため、MRAM設計上より有利であり、今後もMRAM応用として検討されていくものと思われる。

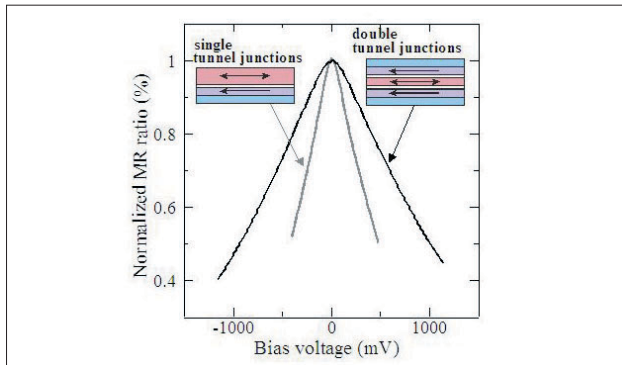


図5 強磁性一重および二重トンネル接合のMR比のバイアス電圧依存性

Fig. 5 Bias voltage dependence of MR ratio in double tunnel junction and single tunnel junction.

また、図4より信号電圧のスペックは、TMRの抵抗値のバラツキが5%に抑えられた場合と10%の場合で大きく異なることが分かる。最近の報告では、Si基板上に作製したトンネル接合の抵抗値、MR比のばらつきが5%以下と非常に少なく、均質なTMR膜が作製できるようになってきている。^{5, 9)} このバラツキの低減が、実は、MRAM実用化の可能性を大幅に高めた重要なポイントとなっている。これらバラツキを無くすためには、自由層膜厚の均一化とともに、磁性体のRIEなどの微細加工プロセス開発が必須である。

現在得られている強磁性二重トンネル接合素子、一重トンネル接合素子の特性を図4に併せて示した。¹²⁻¹⁶⁾ 現在の一重トンネル接合素子特性では、上記スペックを実現することは難しく、強磁性二重トンネル接合または、MR比バイアス依存性の更なる改良を施した一重トンネル接合が必要となる。また、強磁性二重トンネル接合を使用した場合においても、現在得られている特性ではスペックぎりぎりの値であり、今後、同様の努力を要する。

3.2 スイッチング磁界低減およびスイッチング磁界ばらつきの低減^{12, 13)}

スイッチング磁界が増大すると、書き込み時の消費電力が増大するばかりか、MRAMを高密度化し、設計ルールを小さくした場合、スピンを反転させるためにWL、BLに流す電流密度が増大しEM (Electro Migration) の問題が生じる。書き込みの際には強磁性層のスピンを反転しなければならず、そのために流す書き込み電流は $0.2 \mu\text{m}$ TMRセル巾で数mAになる。⁴⁾ しかも、一般にスイッチング磁界は反磁界のためにTMR素子の中に逆比例するので、セルが小さくなれば

なるほど書き込み電流は増大する。また、数mA程度の電流パルスを印加しなければいけないと、周辺回路部のドライバが大きくなりチップ面積が増大してしまうという問題も生じる。したがって、いかに小さな電流で書き込めるように工夫するかがMRAMの第二の重要課題であり、少なくとも書き込み時の電流値を1mA程度まで下げることが必要となる。もう一つの課題として、設計ルールを小さくしTMRセル間の距離を小さくしたときに生じるセル間干渉 (クロストーク) の課題がある。図6にTMRセルと隣接セルの間の距離Xを横軸にとった場合の、隣接TMRセルに印加される電流磁界の絶対値を電磁界解析を用い計算した結果を示す。図6から、MRAMの容量が1Gbit程度になり、隣接セル間が $0.1 \mu\text{m}$ 程度になると、隣接セルに印加される磁場は配線上のセルに印加される磁場の約80%にもおよび、クロストークの問題が懸念されることが分かる。これらの課題を解決するためには、図7に示すように配線に磁性体を付与したyoke構造^{12, 13, 17)} を用いる必要があると考えられる。配線にYoke構造を用いると、電流磁界の値が約2倍に増大するばかりでなく、上記クロストークの問題も解決できるからである。

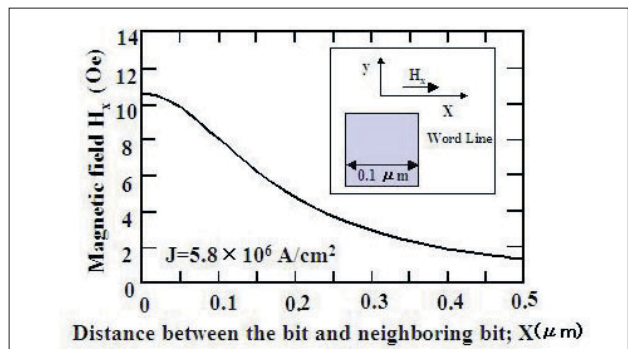


図6 TMRセル直下のWLが作る電流磁界のTMRセル間距離依存性

Fig. 6 Magnetic field (H_x) created by passing current at a certain distance ; X from the center of the word line.

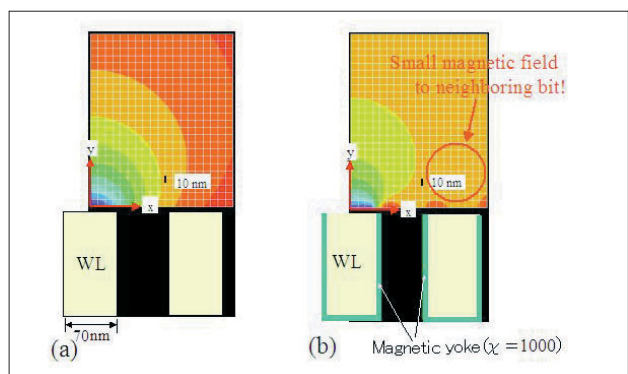


図7 (a) 通常の配線, (b) yoke配線が作る電流磁界分布 (シミュレーション)

Fig. 7 Distribution of the magnetic field (H_x) created by passing current through stripe line in the case of (a) conventional word-line structure with 70 nm width and (b) word-line structure with magnetic yoke.

また、スイッチング磁界の大きさは、TMRのセル幅、アスペクト比、材料の磁化、膜厚のみではなく、TMRのセル形状にも大きく依存する。図8にCo-Feの中で最もソフト材料であるCo₉₀Fe₁₀ (2nm)、セル幅0.1 μm、アスペクト比1:4を仮定したときのLLGシミュレーションの結果を示す。矩形のセル形状では、端部にC型、S型の磁区が発生し、加工寸法バラツキに伴うスイッチング磁界のバラツキの他、端部の磁区形状にともなう本質的なスイッチング磁界のバラツキが生じてしまう。また、セル形状を楕円形^{5, 9)}にすると、単磁区構造が得られこの問題は生じないが、スイッチング磁界のセルサイズに伴う増大が大きくなってしまふ。これらの施策として、図8 (b) に示したように、セル形状を磁化容易軸に対して非対称にすることが好ましい。^{13, 18)} 非対称セル形状においては、S型の磁区が安定し、本質的なスイッチング磁界のバラツキが抑えられる他、スイッチング磁界の絶対値も減少する。

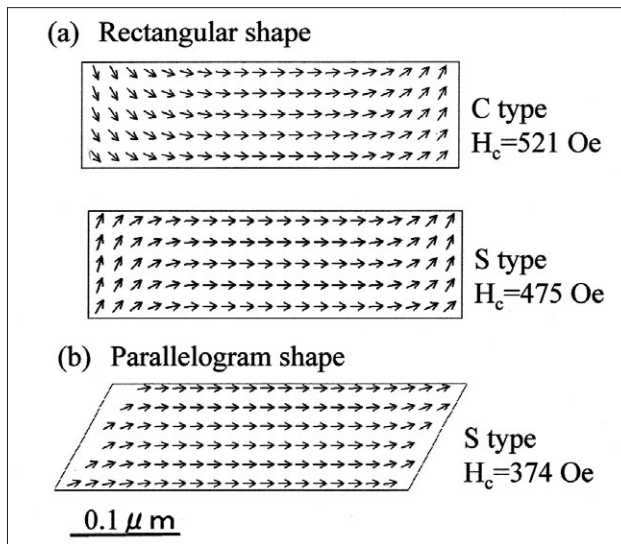


図8 長方形および平行四辺形セル形状の場合の磁区構造 (シミュレーション)

Fig. 8 Simulated magnetic domain structure of the free layer with a rectangular shape and parallelogram shape.

また、スイッチング磁界を低減するもう一つの施策として、層間の相互作用が反強磁性結合した多層膜 (多層交換結合膜と呼ぶことにする) を用いることが考えられる。図9にCo₉₀Fe₁₀ (3nm)、セル幅0.1 μm、アスペクト比1:4のS型の磁区を仮定したときのLLGシミュレーションで得られた磁化曲線と、多層交換結合膜Co₉₀Fe₁₀ (3nm) /Ru (1nm) /Co₉₀Fe₁₀ (2nm)、セル幅0.1 μm、アスペクト比1:4を仮定したときのLLGシミュレーションで得られた磁化曲線を併せて示す。^{13, 18)} 多層交換結合膜を用いると実効的な強磁性層の膜厚がキャンセルできるため反強磁性層の影響が軽減され、図9に示したようにスイッチング磁界、保磁力と

もに低減するばかりか、設計ルールを小さくしTMRセルの記録層の体積が小さくなったときに生じるスピンの熱ゆらぎの課題に対する施策としても有効であると考えられる。実際、我々もCo-Fe-Ni (3nm) /Ru (1nm) /Co-Fe-Ni (2nm) 0.5×1.5 μm²記録層において60eという小さな保磁力が得られることを示した。¹⁸⁾ しかし、0.1 μm TMRセル幅までのスイッチング磁界のスケール・熱安定性を実証した報告はまだ無く、今後もセル構造の工夫とともに、マイクロマグネティクスに基づく詳細な研究開発が必要である。

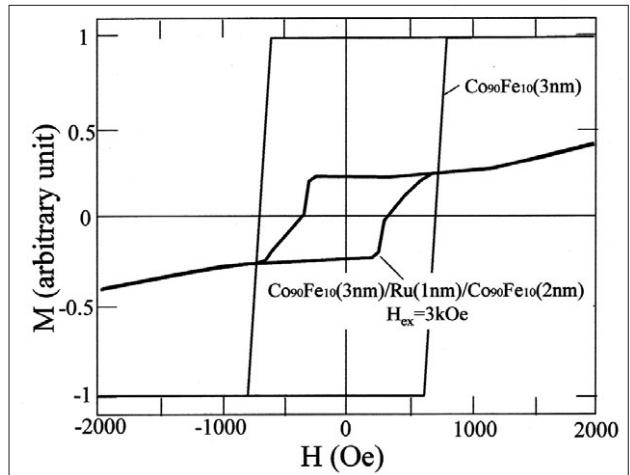


図9 Co₉₀Fe₁₀ (3nm) と反強磁性結合を有するCo₉₀Fe₁₀ (3nm) /Ru (1nm) /Co₉₀Fe₁₀ (3nm) 三層記憶層の磁化曲線 (シミュレーション)

Fig. 9 Simulated magnetization versus field curves for Co₉₀Fe₁₀ (3nm) and for Co₉₀Fe₁₀ (3nm) /Ru (1nm) /Co₉₀Fe₁₀ (3nm) with 0.1 μm bit width.

4. 最後に

以上、MRAMの現状と課題、および、課題を解決するために考案されている将来技術について我々の研究結果をベースにして概説した。MRAM応用に関しては、上述したようにまだブレイクスルーすべき課題が山積しているが、材料、プロセス、成膜装置、加工装置等の更なる進歩に支えられ、実用化に向けての今後の一層の発展が期待される。

5.参考文献

- 1) Miyazaki T., and Tezuka N., J. Magn. Magn. Mater. 139, L231 (1995) .
- 2) Moodera J. S., Kinder L. R., Wong T. M., and Meservey R., Phys. Rev. Lett. 74, 3273 (1995) .
- 3) Parkin S. S. P., Roche K. P., Samant M. G., Rice P. M., Beyers R. B., Scheuerlein R. E., O' Sullivan E. J., Brown S. L., Bucchignano J., Abraham D. W.,

- Lu Y., Rooks M., Trouilloud P. L., Wanner R. A., and Gallagher W. J., J. Appl. Phys. 85, 5828 (1999) .
- 4) Scheuerlein R., Gallagher W., Parkin S., Lee A., Ray S., Robertazzi R., and Reohr W., IEEE International Solid-State Circuits Conference, Digest of Technical Papers, 2000, p. 128.
 - 5) Durlam M., Naji P., DeHerrera M., Tehrani S., Kerszykowski G., and Kyler K., IEEE International Solid-State Circuits Conference, Digest of Technical Papers, 2000, p. 130.
 - 6) 解説、例えば、宮崎 照宣、日本応用磁気学会誌, 25 (4-1) , 471 (2001) . : 機能材料, 2000年11月号, PP. 5-47.
 - 7) Dieny B., Speriosu V. S., Metin S., Parkin S., Gurney B. A., Baumgart P., Wilhoit D., J. Appl. Phys. 69. 4774 (1991) .
 - 8) Sato M., Kikuchi H., Kobayashi K., IEEE Trans. Magn. 33, 3553 (1997) .
 - 9) Tehrani S., Slaughter J. M., Chen E., Durlam M., Shi J., and DeHerrera M., IEEE Trans. Magn. 35, 2814 (1999) .
 - 10) Gallagher B., 46th annual conference on Magnetism & Magnetic Materials BZ-02 (2001) .
 - 11) Daughton J. M., J. Appl. Phys. 81, 3758 (1997) .
 - 12) 例えば、猪俣 浩一郎、日本応用磁気学会誌, 23, 11244 (1999) . ; 齊藤 好昭、日本応用磁気学会, 第119回研究会資料, PP. 33 (2001) .
 - 13) Saito Y., Amano M., Kishi T., Takahashi S., Nishiyama K., and Yoda H., Asao Y., Hosotani K., Nakajima K., Iwata Y., Ito H., Higashi T., and Ohsawa T., Submitted to J. Appl. Phys.
 - 14) Saito Y., Amano M., Nakajima K., Takahashi S., Sagoi M., and Inomata K., Jpn. J. Appl. Phys. 39, L1035 (2000) .
 - 15) Saito Y., Amano M., Nakajima K., Takahashi S., and Sagoi M., J. Magn. Magn. Mater. 223, 293 (2001) .
 - 16) Inomata K., Saito Y., Nakajima K., and Sagoi M., J. Appl. Phys. 87, 6064 (2000) .
 - 17) Tehrani S., Durlam M., DeHerrera M., Slaughter J. M., Rizzo N., Engel B., and Grynkowich G., 46th annual conference on Magnetism & Magnetic Materials BZ-01 (2001) .
 - 18) 岸 達也、高橋 茂樹、天野 実、中島 健太郎、齊藤 好昭、第25回 日本応用磁気学会学術講演回, 27aE5 (2001) .



齊藤 好昭 (さいとう よしあき)

1990年筑波大学 物理学研究科博士課程修了(理学博士)。同年(株)東芝研究開発センターに入社。磁性材料および磁気デバイスの研究・開発に従事した。現在、研究開発センター・記憶材料デバイスラボにてMRAM研究開発に従事。主任研究員。

日本物理学会、応用物理学会、日本応用磁気学会、米国物理学会会員。

FED レビュー, Vol.1 No.25, 2002年3月14日 第1版

* 著作権は新機能素子研究開発協会に帰属します。



この事業は、オートレースの補助金を受けて実施したものです。